

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-110780

(P2002-110780A)

(43)公開日 平成14年4月12日(2002.4.12)

(51)Int.Cl.⁷

H 0 1 L 21/76

識別記号

F I

テ-マコ-ト^{*}(参考)

H 0 1 L 21/76

L 5 F 0 3 2

審査請求 有 請求項の数10 O L 外国語出願 (全 15 頁)

(21)出願番号 特願2000-286177(P2000-286177)

(71)出願人 598131580

ユナイテッドマイクロエレクトロニクス
コーポ

台湾新竹科学工業園区新竹市力行二路3号

(22)出願日 平成12年9月20日(2000.9.20)

(72)発明者 遊萃蓉

台湾新竹縣竹東鎮北興路三段512號7樓

(72)発明者 廬火鑑

台湾台北市復興北路513號3樓

(72)発明者 楊國璽

台灣新竹市大學路82號16樓之1

(74)代理人 100104156

弁理士 龍華 明裕

最終頁に続く

(54)【発明の名称】 シャロートレンチアイソレーション構造の製造方法

(57)【要約】 (修正有)

【課題】シリコン基板に欠陥の生じにくいS T Iの製造方法を提供する。

【解決手段】シリコン基板100上に酸化パッド層102とマスク層104を形成し、その上に形成されたフォトレジストのパターンでマスク層にマスク104aを形成し、酸化パッド層102a及び基板100をエッティングし、トレンチを形成する。トレンチ内に酸化ライナーリー層110を形成した後基板上に第1のアイソレーション層112を形成しトレンチを部分的に埋め込む。この段階でアニールを行い第1のアイソレーション膜112の緻密化を行うので熱膨張係数の違いによるストレスはトレンチ開口部を介して開放される。第2のアイソレーション層116でトレンチを完全に埋め込んだ後平坦化を行いS T Iが完成する。

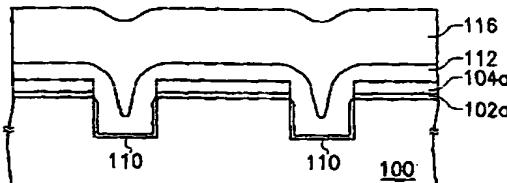


図 1D

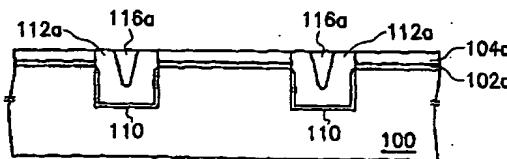


図 1E

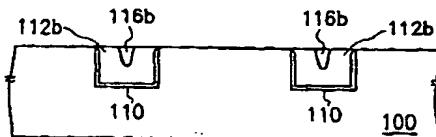


図 1F

1

【特許請求の範囲】

【請求項1】 シャロートレンチアイソレーション構造の製造方法であって、
基板上に酸化パッド層を形成する工程と、
前記酸化パッド層上にマスク層を形成する工程と、
前記マスク層と、前記酸化パッド層と及び前記基板にパターン形成して前記基板に最小トレンチを含むトレンチを形成する工程と、
前記基板上に、前記トレンチに対して実質的に等角な第1のアイソレーション層を形成して前記トレンチを部分的に満たす工程と、
緻密化を行う工程と、
前記第1のアイソレーション層上に第2のアイソレーション層を形成して前記トレンチを完全に満たす工程と、
前記第1のアイソレーション層及び前記第2のアイソレーション層の一部を前記マスク層が露出するまで除去する工程と、及び前記マスク層と前記酸化パッド層とを除去する工程とを備えることを特徴とするシャロートレンチアイソレーション構造の製造方法。

【請求項2】 前記第1のアイソレーション層の素材は酸化シリコンを含むことを特徴とする請求項1に記載の方法。

【請求項3】 前記第1のアイソレーション層は常圧化学気相成長法により形成されることを特徴とする請求項1に記載の方法。

【請求項4】 前記第1のアイソレーション層は減圧化学気相成長法により形成されることを特徴とする請求項1に記載の方法。

【請求項5】 前記第1のアイソレーション層は高密度プラズマ化学気相成長法により形成されることを特徴とする請求項1に記載の方法。

【請求項6】 前記第2のアイソレーション層は酸化シリコンを素材として含むことを特徴とする請求項1に記載の方法。

【請求項7】 前記第2のアイソレーション層は常圧化学気相成長法により形成されることを特徴とする請求項1に記載の方法。

【請求項8】 前記第2のアイソレーション層は減圧化学気相成長法により形成されることを特徴とする請求項1に記載の方法。

【請求項9】 前記トレンチの底面上の前記第1のアイソレーション層の厚さは100オングストロームと前記最小トレンチの半分の幅との間であることを特徴とする請求項1に記載の方法。

【請求項10】 前記緻密化工程はアニール工程を含むことを特徴とする請求項1に記載の方法。

【発明の詳細な説明】

【0001】発明の背景

発明の利用分野

本発明は半導体の製造方法に関する。本発明は特に、ア

2

イソレーション領域を製造する方法に関する。

【0002】従来の技術

集積回路には、基板の隣接するデバイス領域を分離するため、またキャリアが基板を通り抜けて隣接するデバイスに移動しないようにするためにアイソレーション領域を設ける。動的ランダムアクセス記憶装置(DRAM)において、例えば電界効果トランジスタ(FET)は、FET間の漏れ電流を防ぐためにアイソレーション領域によって互いに隔離される。従来、半導体産業においては、シリコン局所酸化法(LOCOS分離法)が広く用いられ、基板の種々のデバイスにわたってアイソレーション領域が設けられる。LOCOS分離法は長い間用いられてきたため、この方法は、デバイスのアイソレーション領域を製造するための最も信頼できかつ安価な方法の一つである。しかし、LOCOS分離法においても困難な問題がある。これらの問題には内部的なストレスの発生とバーズピークによる浸食が含まれる。高集積デバイスにおいては、アイソレーション領域によるバーズピークの浸食の問題は特に避けにくい問題である。そのため、アイソレーション領域は効果的にデバイスを分離することができない。

【0003】従来のアイソレーション領域を形成する他の方法としてシャロートレンチアイソレーション(STI:Shallow Trench Isolation)分離法がある。まず最初に異方性エッチャリングにより基板にトレンチを形成し、その後トレンチに酸化膜を堆積してアイソレーション領域を形成することによりシャロートレンチアイソレーション構造(STI構造)が形成される。STI構造は大きさの制御が可能であり、また従来のLOCOS分離法に見られたバーズピークの浸食の問題もないため、サブミクロンのCMOS回路を形成するために広く用いられるようになってきた。

【0004】しかし、従来のSTI構造においてもいくつかの欠点が生じる。従来のSTI製造プロセスにおいては、トレンチ上にライナー層を形成してから酸化シリコン層を形成してトレンチを埋める。まず高温下で緻密化工程を行い、その後化学的機械研磨(CMP)工程を行って酸化シリコンの一部を除去する。あるいは、まず化学的機械研磨工程を行い、その後緻密化工程を行ってもよい。しかし、上記のいずれの方法においても、緻密化工程によって欠陥が生じる。シリコン基板と酸化シリコンの熱膨張係数の違いにより、基板にラインの欠陥などの欠陥が簡単に生じ得る。一般にラインの欠陥の一種である転移が起こる。この転移がソース/ドレイン領域に拡がると、ソース/ドレイン領域のドーパントが容易に転移に沿って散乱してしまう。そのため、漏れ電流及びブリッジ効果が起こりやすくなる。そのためデバイスの品質が低下する。高集積回路においては、このような欠点は非常に深刻で、デバイス不良を起こし、製品の品質を低下させる。

【0005】発明の概要

本発明は、STI構造の製造方法を提供する。基板上にマスク層を形成する。マスク層及び基板をパターン処理して基板にトレンチを形成する。トレンチは最小トレンチを含む。マスク層に第1のアイソレーション層を形成してトレンチを部分的に満たす。緻密化工程を行う。第1のアイソレーション層に第2のアイソレーション層を形成してトレンチを満たす。第1のアイソレーション層及び第2のアイソレーション層をマスク層が露出するまで除去する。マスク層を除去する。

【0006】第1のアイソレーション層の形成工程において、トレンチは全体的に満たされていないため、第1のアイソレーション層にトレンチ開口部が形成される。この方法によると、基板と第1のアイソレーション層との熱膨張係数の違いにより生じるストレスがトレンチ開口部を通じて開放される。欠陥の形成、漏れ電流及びブリッジ効果が生じない。デバイスの不良も起こらない。そのため製品の品質も改良できる。

【0007】以上の一般的な説明及び以下の詳細な説明は具体例であって、特許請求の範囲に記載した発明をさらに説明することを目的としている。

【0008】発明の詳細な説明

以下に、本発明の好適な実施の形態を説明し、その具現例を添付する図面に示す。図面及び明細書の記載のどの部分においても、同じ又は同様の構成要素には可能な限り同じ番号を用いる。

【0009】図1Aから図1Fは、本発明の一実施形態に係るSTI構造の製造方法を示す模式的な断面図である。

【0010】図1Aにおいて、シリコン層などの基板100を準備する。基板100上に酸化パッド層102を形成する。酸化パッド層102は基板100の保護に用いられる。酸化パッド層102上にマスク層104を形成する。マスク層104の素材は窒化シリコンを含む。マスク層104は、例えば化学気相成長法によって形成される。マスク層上にパターン化されたフォトレジスト層106を形成する。

【0011】図1Bにおいて、フォトレジスト層106をエッチングマスクとしてエッチング工程を行う。マスク層104をエッチングしてパターン化されたマスク層104aを形成する。マスク層104aをマスクとして酸化パッド層102及び基板100をエッチングする。酸化パッド層102aを形成する。基板100に、最小トレンチ108を含むトレンチ108を形成する。フォトレジスト層106を除去する。

【0012】図1Cにおいて、基板100上にトレンチ108中に露出する酸化ライナー層110を形成する。酸化ライナー層110は例えば熱酸化法により形成する。基板上に第1のアイソレーション層112を形成し、トレンチ108を部分的に埋める。第1のアイソレ

10

20

30

40

50

ーション層100はトレンチ108に対して実質的に等角である。第1のアイソレーション層112の厚さは好ましくは100オングストロームと最小トレンチ108の半分の幅との間である。トレンチ108にトレンチ開口部114を形成する。第1のアイソレーション層112の素材は酸化シリコンを含む。第1のアイソレーション層112は好ましくは常圧化学気相成長法(APCVD)、減圧化学気相成長法(LPCVD)又は高密度プラズマ化学気相成長法(HDP-CVD)によって形成する。アニール工程などの緻密化工程を行う。緻密化はインターフェースの電荷を減少し、第1のアイソレーション層112の密度を高める。緻密化工程の温度は好ましくは約900°Cから1200°Cである。

【0013】第1のアイソレーション層112の製造方法において、トレンチが完全に満たされないため、トレンチ108にトレンチ開口部114が形成される。この方法では、基板100と第1のアイソレーション層112の熱膨張係数の違いにより生じるストレスはトレンチ開口部を介して開放される。欠陥の形成、漏れ電流及びパンチスルーハウジングの問題は生じない。デバイスの欠陥も生じない。そのため製品の品質が改善される。

【0014】図1Dにおいて、第1のアイソレーション層112上に第2のアイソレーション層116を形成し、トレンチ108を完全に満たす。第2のアイソレーション層116は例えば常圧化学気相成長法、減圧化学気相成長法又は高密度プラズマ化学気相成長法(HDP-CVD)によって形成する。

【0015】図1Eにおいて、第1のアイソレーション層112及び第2のアイソレーション層116の一部を、マスク層104aをエッティングストップとして、例えば化学的機械研磨法によってエッティングする。第1のアイソレーション層112から残った第1のアイソレーション層112aを形成する。第2のアイソレーション層116から残った第2のアイソレーション層116aを形成する。また、マスク層上の第1のアイソレーション層112及び第2のアイソレーション層116はエッティングと共に化学的機械研磨法によって除去され得、第1のアイソレーション層112a及び第2のアイソレーション層116aを形成する。

【0016】図1Fにおいて、マスク層104aをリン酸水溶液(H₃PO₄)により除去する。酸化パッド層102aを除去する。同時に、第1のアイソレーション層112a及び第2のアイソレーション層116aの一部を除去して第1のアイソレーション層112b及び第2のアイソレーション層116bを形成する。これによりSTI構造を形成する。

【0017】本発明が、その範囲又は概念から逸脱することなく、種々の修正及び変更を加えることができるものは、いわゆる当業者には明らかである。以上を考慮して、本発明は以下の特許請求の範囲及びその均等範囲に

5

属する変形や変更を含むことを意味する。

【図面の簡単な説明】

添付した図面は発明をより理解するために含まれ、本明細書に組み込まれ、本明細書の一部を構成する。図面は本発明の実施形態を示し、明細書の記載と共に本発明の

6

本質を説明する。

【図1】図1Aから図1Cは、本発明の一実施形態に係るSTI構造の製造方法を示す模式的な断面図である。

【図2】図1Dから図1Fは、本発明の一実施形態に係るSTI構造の製造方法を示す模式的な断面図である。

【図1】

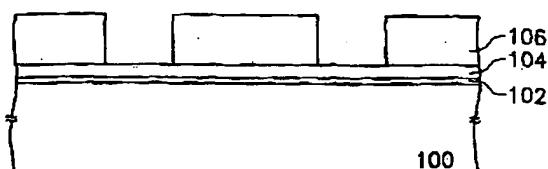


図1A

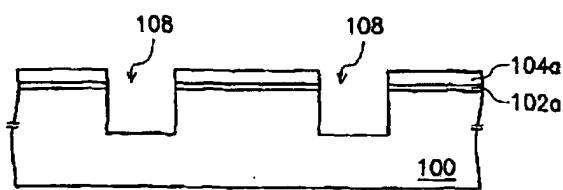


図1B

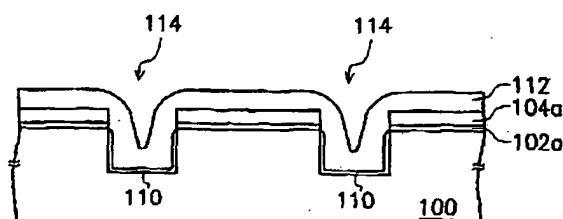


図1C

【図2】

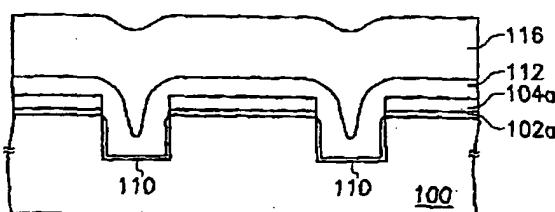


図1D

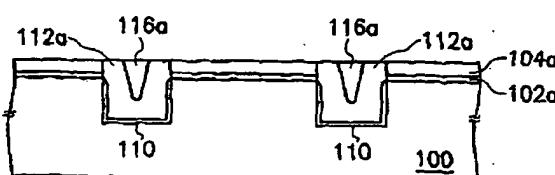


図1E

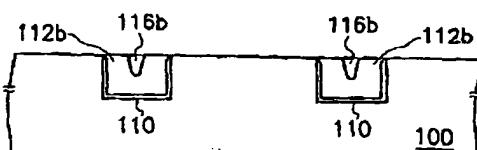


図1F

フロントページの続き

Fターム(参考) 5F032 AA34 AA44 AA45 AA70 AA77
CA17 CA20 DA02 DA03 DA04
DA24 DA33 DA74

【外國語明細書】

METHOD OF FABRICATING SHALLOW TRENCH ISOLATION STRUCTURE

WHAT IS CLAIMED IS:

1. A method of fabricating a shallow trench isolation structure, comprising steps of:

forming a pad oxide layer on the substrate;

forming a mask layer on the pad oxide layer;

patterning the mask layer, the pad oxide layer, and the substrate to form trenches in the substrate, wherein the trenches comprise a smallest trench;

forming a first isolation layer over the substrate to fill partially the trenches, wherein the first isolation layer is substantially conformal to the trenches;

performing a densification step;

forming a second isolation layer on the first isolation layer to fill completely the trench;

removing a portion of the first isolation layer and the second isolation layer until the mask layer is exposed; and

removing the mask layer and the pad oxide layer.

2. The method of claim 1, wherein a material of the first isolation layer comprises silicon oxide.

3. The method of claim 1, wherein the first isolation layer is formed by atmospheric-pressure chemical vapor deposition.

4. The method of claim 1, wherein the first isolation layer is formed by low-pressure chemical vapor deposition.

5. The method of claim 1, wherein the first isolation layer is formed by high-density plasma chemical vapor deposition.

6. The method of claim 1, wherein a material of the second isolation layer comprises silicon oxide.

7. The method of claim 1, wherein the second isolation layer is formed by atmospheric-pressure chemical vapor deposition.

8. The method of claim 1, wherein the second isolation layer is formed by low-pressure chemical vapor deposition.

9. The method of claim 1, wherein a thickness of the first isolation layer on a bottom of the trenches is between 100 angstroms and a half width of the smallest trench.

10. The method of claim 1, wherein the densification step comprises annealing.

BACKGROUND OF THE INVENTION

Field of the Invention

The present invention relates to a semiconductor fabricating method. More particularly, the present invention relates to a method of fabricating an isolation region.

Description of the Related Art

An isolation region is formed in an integrated circuit for the purpose of separating neighboring device regions of a substrate and preventing the carriers from penetrating through the substrate to neighboring devices. In a dynamic random access memory (DRAM) device, for example, the field effect transistors (FETs) are isolated from each other by isolation regions in order to prevent current leakage among the FETs. Conventionally, local oxidation of silicon (LOCOS) technique is widely utilized in the semiconductor industry to provide isolation regions among the various devices in the substrate. Since the LOCOS technique has been used for quite a period of time, it is one of the most reliable and low-cost method for fabricating the device isolation regions. However, there are still some difficulties in the LOCOS process. These include internal stress generation and bird's beak encroachment. For a highly integrated device, the problem of bird's beak encroachment by the isolation regions is especially difficult to avoid. Thus the isolation regions cannot effectively isolate devices.

Shallow trench isolation (STI) technique is the other conventional method of forming isolation regions. An STI structure is formed by first anisotropically etching to form a trench in the substrate, and then depositing oxide in the trench to form an

isolation region. Since an STI structure is scaleable and has no bird's beak encroachment problem as found in the conventional LOCOS technique, it has become widely used for forming sub-micron CMOS circuits.

However, some drawbacks still occur in the conventional STI structure. In the conventional STI fabrication process, a silicon oxide layer is formed to fill a trench after a liner layer is formed on the trench. A densification step is first performed at a high temperature and then a chemical-mechanical polishing step is performed to remove a portion of the silicon oxide. Or, the chemical-mechanical polishing step can be first performed and then the densification step is carried out. However, both of the above procedures form defects during the densification step. Because of the thermal expansion coefficient difference between the silicon substrate and the silicon oxide, the defects, such as defect lines, easily form in the substrate. Dislocation, which is one kind of defect line, commonly occurs. Once the dislocation extends into the source/drain region, dopants in the source/drain region easily diffuse along the dislocation. Thus, current leakage and bridging effects are likely to occur. The device quality thus is degraded. In a highly integrated circuit, the foregoing drawbacks become significantly serious and cause device failure, which degrades the product quality.

SUMMARY OF THE INVENTION

The invention provides a method of fabricating a shallow trench isolation structure. A mask layer is formed on the substrate. The mask layer and the substrate are patterned to form trenches in the substrate. The trenches comprise a smallest trench. A first isolation layer is formed on the mask layer to fill partially the trenches.

A densification step is performed. A second isolation layer is formed on the first isolation layer to fill the trench. The first isolation layer and the second isolation layer are removed until the mask layer is exposed. The mask layer is removed.

In the step of forming the first isolation layer, because the trench is not fully filled, the trench opening is formed in the first isolation layer. In this manner, the stress, which is caused by the difference in thermal expansion coefficient between substrate and the first isolation layer, is released through the trench opening. The defect formation, the current leakage, and the bridging effect do not occur. The device failures do not happen, either. The product quality thus is improved.

It is to be understood that both the foregoing general description and the following detailed description are exemplary, and are intended to provide further explanation of the invention as claimed.

BRIEF DESCRIPTION OF THE DRAWINGS

The accompanying drawings are included to provide a further understanding of the invention, and are incorporated in and constitute a part of this specification. The drawings illustrate embodiments of the invention and, together with the description, serve to explain the principles of the invention. In the drawings,

FIGS. 1A through 1F are schematic, cross-sectional views showing a method of fabricating a shallow trench isolation (STI) structure according to one embodiment of the invention.

DESCRIPTION OF THE PREFERRED EMBODIMENTS

Reference will now be made in detail to the present preferred embodiments of the invention, examples of which are illustrated in the accompanying drawings. Wherever possible, the same reference numbers are used in the drawings and the description to refer to the same or like parts.

FIGS. 1A through 1F are schematic, cross-sectional views showing a method of fabricating an STI structure according to one embodiment of the invention.

In FIG. 1A, a substrate 100, such as a silicon layer, is provided. A pad oxide layer 102 is formed on the substrate 100. The pad oxide layer 102 is used to protect the substrate 100. A mask layer 104 is formed on the pad oxide layer 102. The material of the mask layer 104 comprises silicon nitride. The mask layer 104 is formed by, for example, chemical vapor deposition. A patterned photoresist layer 106 is formed on the mask layer.

In FIG. 1B, an etching step is performed with the photoresist layer 106 serving as an etching mask. The mask layer 104 is etched to form a patterned mask layer 104a. The pad oxide layer 102 and the substrate 100 are etched with the mask layer 104a serving as a mask. A pad oxide layer 102a is formed. Trenches 108 comprising a smallest trench 108 are formed in the substrate 100. The photoresist layer 106 is removed.

In FIG. 1C, a liner oxide layer 110 is formed on the substrate 100 exposed in the trenches 108. The liner oxide layer 110 is formed by, for example, thermal oxidation. A first isolation layer 112 is formed over the substrate to fill partially the trenches 108. The first isolation layer 110 is substantially conformal to the trenches 108. The thickness of the first isolation layer 112 preferably is between 100 angstroms and a half

width of the smallest trench 108. A trench opening 114 is formed in the trenches 108. The material of the first isolation layer 112 comprises silicon oxide. The first isolation layer 112 preferably is formed by atmospheric-pressure chemical vapor deposition (APCVD), low-pressure chemical vapor deposition (LPCVD), or high-density plasma chemical vapor deposition (HDP-CVD). A densification step, such as an annealing step, is performed. The densification reduces interface charges and densifies the first isolation layer 112. The temperature of the densification step preferably is about 900 °C to 1200 °C.

In the step of forming the first isolation layer 112, because the trench is not fully filled, the trench opening 114 is formed in the trench 108. In this manner, the stress, which is caused by the difference in thermal expansion coefficient between substrate 100 and the first isolation layer 112, is released through the trench opening. The defect formation, the current leakage, and the punch-through problem do not occur. The device failures do not happen, either. The product quality thus is improved.

In FIG. 1D, a second isolation layer 116 is formed on the first isolation layer 112 to fill completely the trenches 108. The second isolation layer 116 is formed by, for example, atmospheric-pressure chemical vapor deposition, low-pressure chemical vapor deposition, or high-density plasma chemical vapor deposition (HDP-CVD).

In FIG. 1E, a portion of the first isolation layer 112 and the second isolation layer 116 are removed by, for example, chemical-mechanical polishing with the mask layer 104a serving as a etching stop. A first isolation layer 112a, which remains from the first isolation layer 112, is formed. A second isolation layer 116a, which remains from the second isolation layer 116, is formed. Besides, the first isolation layer 112 and the second isolation layer 116 on the mask layer can also be removed by performing

chemical-mechanical polishing together with etching to form the first isolation layer 112a and the second isolation layer 116a.

In FIG. 1F, the mask layer 104a is removed with a H₃PO₄ solution. The pad oxide layer 102a is removed. Meanwhile, a portion of the first isolation layer 112a and the second isolation layer 116a are removed to form a first isolation layer 112b and a second isolation layer 116b. An STI structure is formed.

It will be apparent to those skilled in the art that various modifications and variations can be made to the structure and the method of the present invention without departing from the scope or spirit of the invention. In view of the foregoing, it is intended that the present invention cover modifications and variations of this invention provided they fall within the scope of the following claims and their equivalents.

【図1】

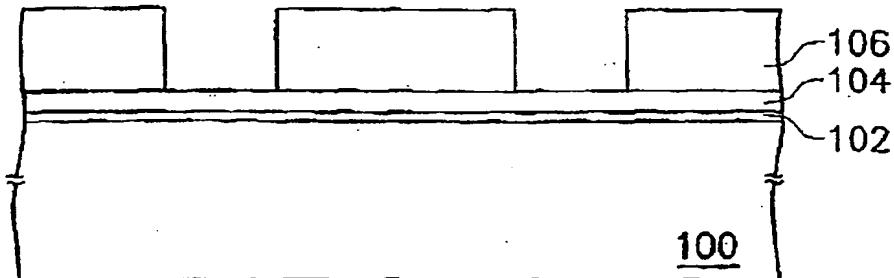


FIG. 1A

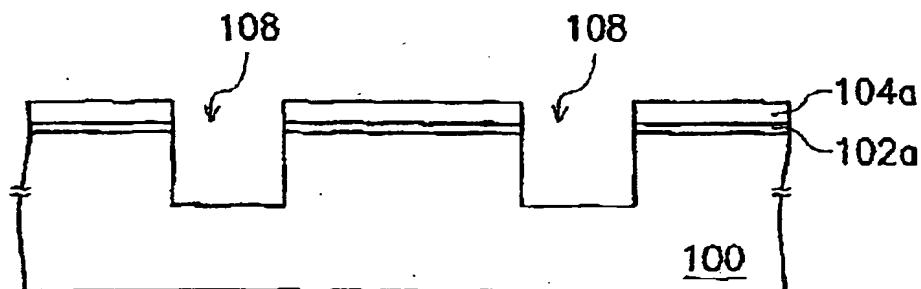


FIG. 1B

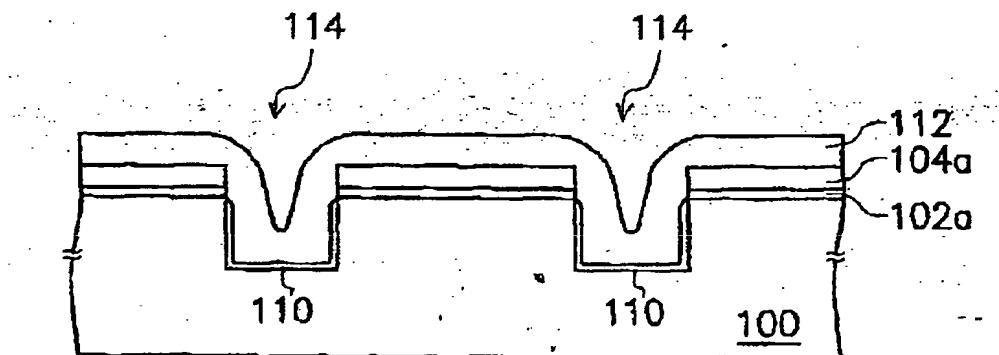


FIG. 1C

【図2】

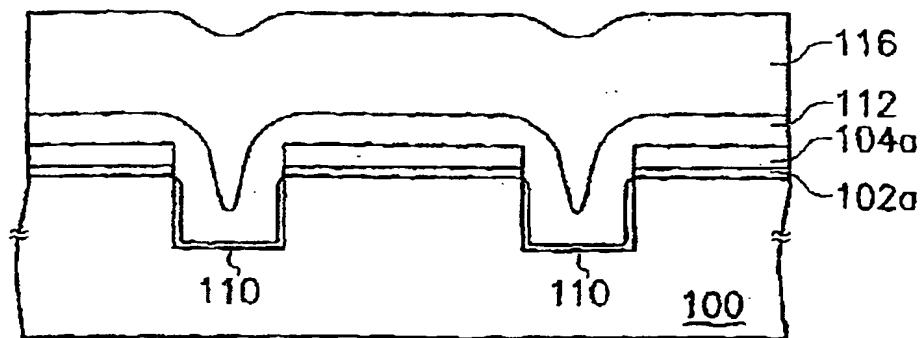


FIG. 1D

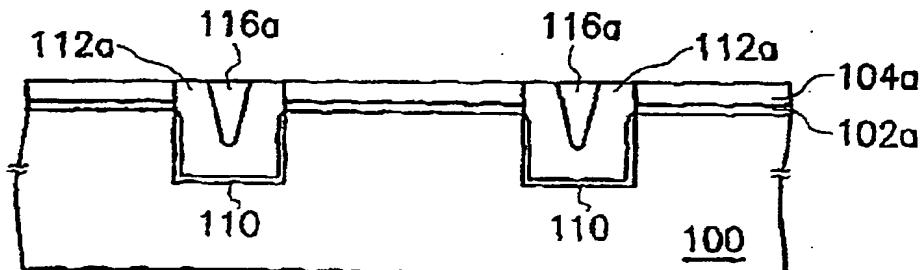


FIG. 1E

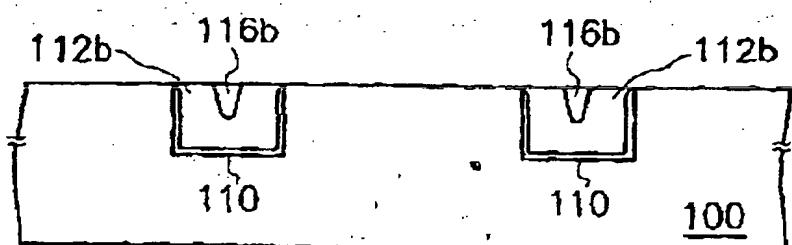


FIG. 1F

ABSTRACT OF THE DISCLOSURE

A method of fabricating a shallow trench isolation structure is described. A mask layer is formed on the substrate. The mask layer and the substrate are patterned to form trenches in the substrate. The trenches comprise a smallest trench. A first isolation layer is formed on the mask layer to fill partially the trenches. A densification step is performed. A second isolation layer is formed on the first isolation layer to fill completely the trench. The first isolation layer and the second isolation layer are removed until the mask layer is exposed. The mask layer is removed.